

PAT-NO: JP406232672A
DOCUMENT-IDENTIFIER: JP 06232672 A
TITLE: BAND PASS FILTER
PUBN-DATE: August 19, 1994

INVENTOR-INFORMATION:

NAME **COUNTRY**
ASAKURA, HIROMI

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
MITSUBISHI ELECTRIC CORP N/A

APPL-NO: JP05017371

APPL-DATE: February 4, 1993

INT-CL (IPC): H03H007/075 , H01G004/40 , H01G004/38

US-CL-CURRENT: 333/168

ABSTRACT:

PURPOSE: To set a capacitive element being an element deciding the frequency characteristic to an optimum capacitance by connecting a chip capacitor being the capacitive element and an interdigital capacitor in parallel and providing an adjustment part to the interdigital capacitor.

CONSTITUTION: A series resonance section 7 indicates a low impedance with respect to a signal around a resonance frequency and indicates a high impedance with respect to other frequencies, and a parallel resonance section 8 indicates a high impedance with respect to a signal around a resonance frequency and indicates a low impedance with respect to other frequencies. The frequency characteristic of a band pass filter is obtained by matching the resonance frequencies. A chip capacitor section 1 and an interdigital capacitor section 2 are connected in parallel in a capacitive element 9 and a capacitance adjustment part is provided to the interdigital capacitor section 2. Thus, the capacitance is set to an optimum capacitance and the excellent frequency characteristic of the band pass filter is obtained.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232672

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 03 H 7/075	A	8321-5 J		
H 01 G 4/40	3 2 1	9174-5 E		
// H 01 G 4/38		9174-5 E		

審査請求 未請求 請求項の数1 O L (全3頁)

(21)出願番号	特願平5-17371	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成5年(1993)2月4日	(72)発明者	朝倉 宏実 鎌倉市上町屋730番地 三菱電機エンジニアリング株式会社鎌倉事業所内
		(74)代理人	弁理士 高田 守

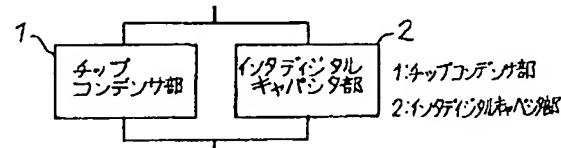
(54)【発明の名称】 帯域通過フィルタ

(57)【要約】

【目的】 帯域通過フィルタにおいて、周波数特性を決定する要素である容量性素子を最適な容量値に設定し、周波数特性を良好とすることを目的とする。

【構成】 帯域通過フィルタにおいて、容量性素子として、チップコンデンサとインターディジタルキャパシタを並列に接続し、さらにインターディジタルキャパシタに容量値の調整部分を設けたものである。

【効果】 最適な容量値が設定可能となり、良好な周波数特性が得られる。



【特許請求の範囲】

【請求項1】 マイクロ波集積回路で構成される帯域通過フィルタにおいて、チップコンデンサとインターディジタルキャパシタをハイブリッド構成とし、さらにインターディジタルキャパシタには容量値の調整部分を設けたことを特徴とする帯域通過フィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、集中定数型素子を用いたマイクロ波集積回路で構成される帯域通過フィルタに関するものである。

【0002】

【従来の技術】従来、マイクロ波集積回路で構成される帯域通過フィルタにおいて、集中定数型の容量性素子を用いた帯域通過フィルタでは、チップコンデンサやインターディジタルキャパシタを単独で用いた構成が知られている。上述の帯域通過フィルタの一実施例を図4、図5に示す。図4は帯域通過フィルタの構成図であり、図において、7は直列共振部、8は並列共振部、9は容量性素子である。また、図5は容量性素子9の一実施例のインターディジタルキャパシタの実装図である。

【0003】次に動作について説明する。直列共振部7は共振周波数付近の信号に対しては低インピーダンスを示し、その他の周波数に対しては高インピーダンスを示す。また、並列共振部8は共振周波数付近の信号に対しては高インピーダンスを示し、その他の周波数に対しては低インピーダンスを示すので、直列共振部7と並列共振部8の共振周波数を合わせれば帯域通過フィルタの周波数特性となる。

【0004】

【発明が解決しようとする課題】従来の構成では、周波数特性を決定する要素である容量性素子にチップコンデンサあるいはインターディジタルキャパシタを単独で用いていた。この場合、チップコンデンサではある特定の離散値しか選択することができない。また、インターディジタルキャパシタでは、容量値の小さい値しか選ぶことができない。このため、最適な容量値を設定することが困難であるという課題があった。

【0005】この発明は上記のような課題を解決するためになされたもので、周波数特性を決定する要素である容量性素子を最適な容量値に設定することができることを目的とする。

【0006】

【課題を解決するための手段】この発明に係る帯域通過フィルタは、容量性素子として、チップコンデンサとインターディジタルキャパシタを並列に接続し、さらにインターディジタルキャパシタに容量値の調整部分を設けたものである。

【0007】

【作用】この発明における帯域通過フィルタは、容量性

素子として、チップコンデンサとインターディジタルキャパシタを並列に接続し、さらにインターディジタルキャパシタに調整部分を設けることにより、容量値を最適化し、周波数特性を良好とする。

【0008】

【実施例】実施例1. 以下、この発明の一実施例を図について説明する。図1において、1はチップコンデンサ部、2はインターディジタルキャパシタ部であり、図1は図4の容量性素子9の一実施例であり、1と2が並列接続であることを示す。また、図2はチップコンデンサ部の実装図であり、3はチップコンデンサ、4は金ワイヤ、5はマイクロストリップラインである。さらに、図3はインターディジタル部の実装図であり、6は容量値の調整部分である。

【0009】次に動作について説明する。直列共振部7は共振周波数付近の信号に対しては低インピーダンスを示し、その他の周波数に対しては高インピーダンスを示す。また、並列共振部8は共振周波数付近の信号に対しては高インピーダンスを示し、その他の周波数に対しては低インピーダンスを示すので、直列共振部7と並列共振部8の共振周波数を合わせれば、帯域通過フィルタの周波数特性となる点は従来の帯域通過フィルタと同一である。しかし、この発明による帯域通過フィルタでは、容量性素子9の部分を図1に示すようにチップコンデンサ部とインターディジタルキャパシタ部を並列接続し、さらに、第3図に示すように、インターディジタルキャパシタ部に容量値の調整部分を設けている。このため、容量値を最適な値に設定することが可能となり、良好な帯域通過フィルタの周波数特性を得ることができ

る。

【0010】

【発明の効果】以上のようにこの発明によれば、容量性素子として、チップコンデンサとインターディジタルキャパシタを並列に接続し、さらにインターディジタルキャパシタに調整部分を設けることにより、最適な容量値が設定可能となり、良好な周波数特性が得られる効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例の特徴であるチップコンデンサ部とインターディジタルキャパシタ部の並列接続を示す図である。

【図2】チップコンデンサ部の実装図である。

【図3】容量値の調整部分を設けたインターディジタルキャパシタの実装図である。

【図4】帯域通過フィルタの構成図である。

【図5】従来のインターディジタルキャパシタの実装図である。

【符号の説明】

1 チップコンデンサ部

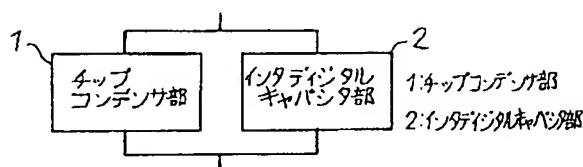
2 インターディジタルキャパシタ部

50

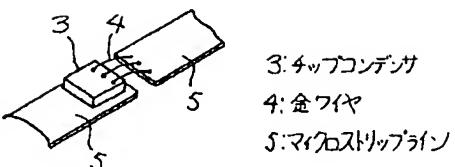
3 チップコンデンサ
 4 金ワイヤ
 5 マイクロストリップライン
 6 容量値調整部

7 直列共振部
 8 並列共振部
 9 容量性素子

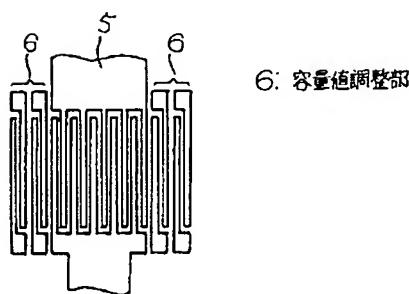
【図1】



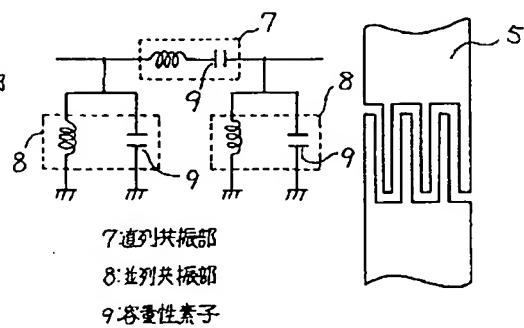
【図2】



【図3】



【図4】



【図5】

7:直列共振部
 8:並列共振部
 9:容量性素子